

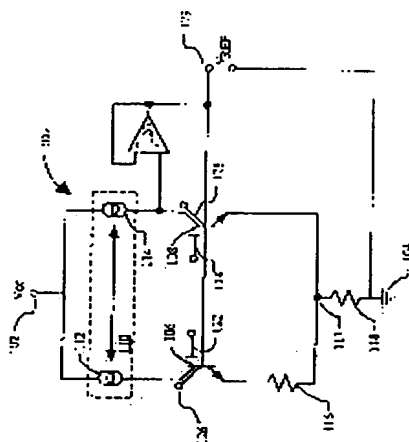
(43)Date of publication of application : 14.08.1991

G05F 3/30
H01F 27/04
H01L 27/06

(72)Inventor : CHENG FRED T

Priority number : 89 438909 Priority date : 17.11.1989 Priority country : US

CONSTITUTION: Two branch parts connect a node in bases of TRs 106 and 108 and a node 117, and potentials on both sides of branch parts are equal, and the potential on both sides of one branch part is VBE108. With respect to that of the other branch part, voltage drop caused by traversing a resistance 116 is the sum of voltage drop caused by traversing VR116 and VBE106. The node 117 equalizes VR116+VBE106 and VBE108. Thus, VR116 equals to ΔV_{BE} consequently, the temperature stability is improved.



[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-186910

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月14日

G 05 F 3/30
H 01 F 27/04
H 01 L 27/06

B

8938-5H
7135-5E

7735-5F H 01 L 27/06 3 2 1 C

審査請求 未請求 請求項の数 10 (全9頁)

⑮ 発明の名称 バンドギャップ基準

⑯ 特 願 平2-292187

⑰ 出 願 平2(1990)10月31日

優先権主張 ⑱ 1989年11月17日 ⑲ 米国(U S) ⑳ 438,909

㉑ 発 明 者 フレッド ツニーイエ アメリカ合衆国, カリフォルニア 95014, クバチーノ
ン・チエン , ホーランドリー ブレイス 7584

㉒ 出 願 人 サムソン セミコンダ アメリカ合衆国, カリフォルニア 95134 - 1708, サン
クタ, インコーポレイ ノゼ, ノース ファースト ストリート 3725
テッド

㉓ 代 理 人 弁理士 小橋 一男 外1名

明 細 書

1. 発明の名称

バンドギャップ基準

2. 特許請求の範囲

1. CMOSバンドギャップ電圧基準回路において、第一及び第二バイポーラトランジスタが設けられており、前記第一及び第二バイポーラトランジスタの夫々のコレクタへ接続されている二つの出力ノードを持った電流ミラーが設けられており、前記第一バイポーラトランジスタのエミッタへ接続されている一端を持った第一抵抗が設けられており、前記第二バイポーラトランジスタのエミッタへ接続されると共に前記第一抵抗の他端へ接続された一端を持っており且つ接地電位へ接続された他端を持っている第二抵抗が設けられており、前記第二バイポーラトランジスタのコレクタへ接続されている増幅器が設けられており、前記増幅器の出力端は前記第一及び第二バイポーラトランジスタの夫々のベースへ接続されており、且つ前記出力端と接地電位との間の電位が基準電

位であることを特徴とする回路。

2. 特許請求の範囲第1項において、前記第一及び第二バイポーラトランジスタのベース・エミッタ接合面積及び前記第一及び第二抵抗の値が、次式

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE2}}{\partial T} + \left[\frac{R_1}{R_2} g(n) \right] \frac{\partial V_T}{\partial T}$$

に従って選択した $\partial V_{REF} / \partial T$ を発生すべく選択されており、尚 V_{BE2} は前記第二バイポーラトランジスタのベース・エミッタ接合電位であり、 R_1 及び R_2 は前記第一及び第二抵抗の夫々の抵抗値であり、 n は前記第二バイポーラトランジスタのベース・エミッタ面積に対する前記第一バイポーラトランジスタのベース・エミッタ面積の比であることを特徴とする回路。

3. 特許請求の範囲第2項において、前記選択した $\partial V_{REF} / \partial T$ が0であることを特徴とする回路。

4. 特許請求の範囲第3項において、前記第一及び第二バイポーラトランジスタのベース・エ

ミック接合面積及び前記第一及び第二抵抗の値が、次式

$$V_{\text{ref}} = V_{\text{ref}} + \left[\frac{R_1}{R_2} \ln(n) \right] V_T$$

に従って選択した V_{ref} を発生すべく選択されていることを特徴とする回路。

5. CMOSバンドギャップ電圧基準回路において、第一及び第二寄生横方向NPNトランジスタが設けられており、第一カスコードCMOS増幅器が設けられており、前記第一カスコードCMOS増幅器は、ソースをVCCへ接続し且つドレインをそのゲートへ接続した第一MOSTランジスタと、ソースを前記第一MOSTランジスタのドレインへ接続しており且つドレインを前記第一横方向NPNトランジスタのコレクタとそのゲートとに接続している第二MOSTランジスタとを具備しており、第二カスコードCMOS増幅器が設けられており、前記第二カスコードCMOS増幅器は、ソースをVCCへ接続しており且つゲートを前記第一MOSTランジスタのゲートへ

接続している第三MOSTランジスタと、ソースを前記第三MOSTランジスタのドレインへ接続しておりゲートを前記第二MOSTランジスタのゲートへ接続しており且つドレインを前記第二横方向NPNトランジスタのコレクタへ接続している第四MOSTランジスタとを具備しており、一端を前記第一横方向NPNトランジスタのエミッタへ接続している第一抵抗が設けられており、一端を前記第一抵抗の他端へ接続すると共に前記第二横方向NPNトランジスタのエミッタへ接続しており且つ他端を接地電位へ接続している第二抵抗が設けられており、第三カスコードCMOS増幅器が設けられており、前記第三カスコードCMOS増幅器は、ソースをVCCへ接続しており且つゲートを前記第一MOSTランジスタのゲートへ接続している第五MOSTランジスタと、ソースを前記第五MOSTランジスタのドレインへ接続しており、ゲートを前記第二横方向NPNトランジスタのコレクタへ接続しており且つドレインを接地電位へ接続している第六MOSTランジスタ

3

タを具備しており、コレクタをVCCへ接続しており、ベースを前記第六MOSTランジスタのソースへ接続しており且つエミッタを前記第一及び第二横方向NPNトランジスタの夫々のベースへ接続している寄生NPNトランジスタが設けられており、前記エミッタと接地電位との間の電位が基準電位であることを特徴とする回路。

6. 特許請求の範囲第5項において、前記第一及び第二横方向NPNトランジスタのベース・エミッタ接合面積及び前記第一及び第二抵抗の値が、次式

$$\frac{\partial V_{\text{ref}}}{\partial T} = \frac{\partial V_{\text{ref}}}{\partial T} + \left[\frac{R_1}{R_2} \ln(n) \right] \frac{\partial V_T}{\partial T}$$

に従って選択した $\partial V_{\text{ref}} / \partial T$ を発生すべく選択されており、尚 V_{ref} は前記第二横方向NPNトランジスタのベース・エミッタ接合電位であり、 R_1 及び R_2 は前記第一及び第二抵抗の夫々の抵抗値であり、且つ n は前記第二横方向NPNトランジスタのベース・エミッタ面積に対する前記第一横方向NPNトランジスタのベース・エ

4

ミック面積の比であることを特徴とする回路。

7. 特許請求の範囲第6項において、前記選択した $\partial V_{\text{ref}} / \partial T$ の値は0であることを特徴とする回路。

8. 特許請求の範囲第7項において、前記第一及び第二横方向NPNトランジスタのベース・エミッタ接合面積及び前記第一及び第二抵抗の値が、次式

$$V_{\text{ref}} = V_{\text{ref}} + \left[\frac{R_1}{R_2} \ln(n) \right] V_T$$

に従って選択した V_{ref} を発生すべく選択されていることを特徴とする回路。

9. 特許請求の範囲第8項において、前記第一及び第二カスコードCMOS増幅器を具備する回路部分が対称的な構成であり、且つ前記第一、第二、第三及び第四MOSTランジスタが大面積トランジスタであることを特徴とする回路。

10. CMOSバンドギャップ電圧基準回路において、第一及び第二バイポーラトランジスタが設けられており、選択した温度範囲に亘って前記

第一バイポーラトランジスタのコレクタへ電流を供給する手段が設けられており、前記選択した温度範囲に亘って前記第一電流の大きさと等しい大きさを持った第二電流を前記第二バイポーラトランジスタのコレクタへ供給する手段が設けられており、前記第二バイポーラトランジスタにおける電流密度と異なった電流密度を前記第一バイポーラトランジスタ内に確立する手段が設けられており、前記確立する手段を横断しての電圧降下及び前記第一バイポーラトランジスタのベース・エミッタ接合を横断しての電圧降下の関数である電圧降下を発生する手段が設けられており、前記電圧降下発生手段は前記第二バイポーラトランジスタのエミッタへ接続されており、前記第二バイポーラトランジスタのコレクタにおける電圧を増幅する手段が設けられており、前記増幅された電圧は基準電位であり、前記増幅した電圧を前記第一及び第二バイポーラトランジスタのベースへ供給する手段が設けられていることを特徴とするCMOSバンドギャップ電圧基準回路。

7

タは、そのエミッタ、ベース及びコレクタが、夫々、ソース・ドレインN+領域、Pウェル領域、及びN-シリコン基板に対応する縦型トランジスタである。これらの寄生縦型トランジスタのコレクタは基板内にあり、従って該トランジスタは、共通コレクタ形態において使用する場合にのみ適用可能である。

縦型寄生トランジスタを利用する公知の基準電圧回路10の一つを第1図に示してある。VCCは端子12に印加され、それはCMOS集積回路の基板に対応している。回路接地は端子14において設定されている。トランジスタ6及び8は寄生NPNトランジスタであり、その各々は、そのコレクタとしてIC基板を使用し、そのベースとしてPウェルを使用し、且つそのエミッタとしてN型ドレイン/ソース領域を使用する。同一の値である抵抗20及び22は、トランジスタ6及び8の夫々に対しての負荷抵抗である。抵抗24は、トランジスタ6のエミッタ回路内に接続されており、それを横断して、温度感応性電圧を発生

3. 発明の詳細な説明

技術分野

本発明は、バンドギャップ基準電圧を発生するCMOS回路に関するものであって、更に詳細には、初期電圧基準エラー及び温度ドリフトを低下させたバンドギャップ基準回路に関するものである。

従来技術

基準電圧回路は多くの目的のために集積回路設計者によって使用されており、それらの目的としては、例えばアナログ・デジタル変換器、調整電源、比較器回路、あるタイプの論理回路等がある。特に有用なタイプの基準電圧回路は、「バンドギャップ」基準回路であり、それは V_{BE} 基準回路としても知られており、それは V_{BE} の負の温度係数と同一の大きさを持った正の温度係数を具備する電圧を発生し、次いで発生した電圧に V_{BE} を付加して温度依存性を相殺させることである。

スタンダードなCMOSプロセスから得られる一つのタイプの寄生NPNバイポーラトランジス

8

する。

差動増幅器26の入力端は、同じ値の抵抗20及び22を横断して接続されており、且つその出力 V_{out} はトランジスタ6及び8のベースを駆動するためにフィードバックされる。このフィードバックのために、ノード27及び28における差動入力を横断しての電位は等しい（増幅器26が完全なものであると仮定する、即ち無限の利得及び入力インピーダンスを有するものと仮定する）。そうであったとしても、トランジスタ6のエミッタにおける電流密度は、トランジスタ8の電流密度よりも低い。なぜならば、抵抗24を横断して電圧が発生するからである。従って、トランジスタ6及び8は、次式(1)で与えられる異なったベース・エミッタ電位を示す。

$$\Delta V_{BE} = V_{BE6} - V_{BE8} = \left(\frac{kT}{q} \right) \ln \left(\frac{I_{E6}}{I_{E8}} \right) \quad (1)$$

尚、Tは絶対温度であり、kはボルツマン定数であり、qは電子電荷であり、且つ I_{E6}/I_{E8}

9

10

A_6/A_8 は、夫々、トランジスタ8及び6の電流とエミッタ面積の比である。

トランジスタ6及び8の間のベース・エミッタ電位における差 ΔV_{BE} は、正の温度係数を有する抵抗24を横断して表われる。 V_{BE6} を発生する電流も抵抗20を介して流れるので、正の温度係数を持った ΔV_{BE} は抵抗22を横断して課される。抵抗20及び22がマッチされており且つノード27及び28における電位は等しく維持されるので、 ΔV_{BE} に由来する正の温度係数も抵抗22を横断して課される。 V_{BE8} は負の温度係数であるので、その一つを他のものをオフセットするために使用することが可能である。

ΔV_{BE} の値は、上式(1)に従って、同一の I_6 及び I_8 を有する適宜の比でトランジスタ6及び8の夫々のエミッタ面積を確立することによって設定される。温度補償は、 R_{20} 、 R_{22} 、 R_{24} の値を調節することによって達成される。

しかしながら、増幅器26として使用するのに適した理想的なCMOS増幅器は入手可能なもの

ではない。実際のCMOS差動増幅器は、温度依存性入力オフセット電圧を有しており、それはバンドギャップ基準回路10の実効性を低下させる。バンドギャップ基準回路10上の入力オフセット電圧 V_{OS} の効果は次式によって与えられる。

$$V_{out} = V_{out0} + \left[\frac{R_{20}}{R_{24}} \ln(n) \right] V_T + \left(1 + \frac{R_{20}}{R_{24}} \right) V_{OS} \quad (2)$$

CMOS差動増幅器の入力オフセット電圧は、典型的に、高いものであり、2mVを超える値も通常である。 $(1 + R_{20}/R_{24})$ の比も高いものであり、10の値も一般的である。これらの一般的な値を適用すると、増幅器26の出力端において20mVのエラーが表われ、それはノード27及び28における電位を等しいものに維持することを可能とするものではない。

更に、入力オフセット電圧は温度依存性である。バンドギャップ基準回路10に関するこの温度依存性の効果は次式で与えられる。

$$\frac{\partial V_{out}}{\partial T} = \frac{\partial V_{out0}}{\partial T} + \left[\frac{R_{20}}{R_{24}} \ln(n) \right] \frac{\partial V_T}{\partial T} + \left(1 + \frac{R_{20}}{R_{24}} \right) \frac{\partial V_{OS}}{\partial T} \quad (3)$$

理解される如く、オフセット電圧温度依存性の項 $\partial V_{OS}/\partial T$ は、 $(1 + R_{20}/R_{24})$ の比で乗算されており、そのことは、バンドギャップ基準回路10の性能を更に劣化させる。

バンドギャップ基準回路10の性能限界を認識して幾つかのアプローチが取られている。一つのアプローチは、バンドギャップ基準回路10において使用されている差動増幅器の性能を改善することであるが、このアプローチは増幅器26の構成に顕著な拘束条件を課することとなる。何れの場合においても、温度依存性入力オフセット電圧に影響を与える原因の多くは処理上においても影響を受けるものである。別のアプローチは、1983年3月1日に発行された米国特許第4,375,595号(Ulmer et al.)によって代表される。このアプローチ及びその他の同様なアプローチは、回路の複雑性を増加させ且

つチップのコストを増加させるものである。

最近、寄生横方向NPNトランジスタが改善されたCMOSバンドギャップ基準回路の構成において使用されている。このような回路の二つのものが、Degrauwe et al.「横方向バイポーラトランジスタを使用したCMOS電圧基準(CMOS voltage references using lateral bipolar transistors)」、IEEE・ジャーナル・オブ・ソリッド・ステート・サーキッツ、Vol. SC-20、No. 67、1985年12月、pp. 1151-57の文献に開示されている。上記文献の第7(a)図及び第7(b)図に示される如く、これらの回路は、電流ミラーと、出力増幅器と、電圧制御型電流源と結合して横方向バイポーラトランジスタを使用している。しかしながら、電圧制御型電流源自身はかなり複雑であり、5個の付加的な抵抗及び付加的な横方向トランジスタによって実現されている。したがって、バンドギャップ回路の寸法は増

加されている。

目 的

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改善した温度安定性を具備する比較的簡単な低コストのCMOSバンドギャップ基準回路を提供することを目的とする。

構 成

本発明によれば、二つの寄生横方向バイポーラトランジスタを使用するCMOSバンドギャップ電圧基準回路が提供される。該横方向トランジスタのコレクタは互いに接続されている。第一抵抗の一端が、該バイポーラトランジスタの一方のエミッタへ接続されている。第二抵抗の一端は、該第一抵抗の他端へ接続されると共に、該他方のバイポーラトランジスタのエミッタへ接続されており、且つその他端は接地電位へ接続されている。増幅器が該他方のバイポーラトランジスタのコレクタへ接続されており、且つその出力端は該両方のバイポーラトランジスタのベースへ接続されて

いる。該増幅器出力端と接地電位との間の電位が基準電位である。

実施例

以下、添付の図面を参考に、本発明の具体的実施の態様について詳細に説明する。

第2図に示した基準電圧回路100は、スタンダードなCMOSプロセスで製造するのに適している。供給電圧VCCが端子102に印加され、且つ回路接地は端子104において与えられる。トランジスタ106及び108は寄生横方向NPNトランジスタであり、それらは、夫々のフリーなコレクタ126及び128を有すると共に、後述する如くバイアスされる夫々のゲート122及び124を有している。電流源112及び114を具備する電流ミラー110は、NPNトランジスタ106へ電流I112を供給し且つトランジスタ108へ電流I114を供給し、且つ電流I112及びI114を等しく維持する。抵抗116は、トランジスタ106のエミッタ回路内に設けられており、且つ抵抗118は両方のトランジ

15

スタ106及び108のエミッタ回路内に設けられている。単位利得増幅器120は、その入力端をトランジスタ108のコレクタへ接続しており、且つその出力端129においてV_{ref}を供給する。V_{ref}は、トランジスタ106及び108の夫々のベースへフィードバックされる。

バンドギャップ基準回路100の動作は以下の如くである。トランジスタ106及び108はV_{ref}によって駆動される。トランジスタ106が電流ミラー110のソース112からの電流の増分的な量を引出すと、ソース114はトランジスタ108内へ等しい増分の電流を発生する。従って、電流ミラー110は、トランジスタ106のコレクタへの電流I112とトランジスタ108のコレクタへの電流I114とを等しいものとさせる。

トランジスタ106及び108は実質的に同一の拡散分布状態で製造される。エミッタ面積における差異のために、トランジスタ106及び108のベース・エミッタ領域を横断しての電流密度

16

は等しくない。電流密度が異なるので、次式で与えられる如く、トランジスタ106及び108のベース・エミッタ接合を横断しての電位は異なる。

$$\Delta V_{be} = V_{be,106} - V_{be,108} = \left(\frac{KT}{q} \right) \ln \left(\frac{J_{106}}{J_{108}} \right) \quad \dots (4)$$

トランジスタ106及び108の間のベース・エミッタ電位ΔV_{be}における差異は、以下の理由により、抵抗116を横断して表われる。二つの分岐部が、トランジスタ106及び108のベースにおけるノードとノード117とを接続し、且つ該分岐部を横断しての電位は同一である。該分岐部の一つを横断しての電位はV_{be,108}である。他方の分岐部を横断しての電位は、抵抗116を横断しての電圧降下は「V_{be,106}」及びV_{be,108}を横断しての電圧降下の和である。ノード117は、V_{be,106}+V_{be,108}をV_{be,108}と等しくさせ、即ち次式が成立する。

$$V_{be,106} = V_{be,108} - V_{be,108} \quad \dots (5)$$

17

18

上式(4)をトランジスタ106及び108へ適用すると $\Delta V_{BE} = V_{BE106} - V_{BE108}$ の関係が発生するので、 V_{BE106} が ΔV_{BE} と等しくなる。

V_{BE106} が発生する電流も、抵抗118を横断して電圧降下が発生し、それは ΔV_{BE} の符号から明らかな如く、正の温度係数を有している。 ΔV_{BE} に由来するこの正の温度係数は、抵抗118を横断して印加され、且つ V_{BE106} の負の温度係数をオフセットする効果を有する。

V_{REF} の値は、次式に従って決定される。

$$V_{REF} = V_{BE106} + \left[\frac{R_{118}}{R_{116}} \ln(n) \right] V_T \quad \dots (6)$$

同、 n はトランジスタ106及び108のエミッタ面積の比である。その適宜の比は、夫々のベース・エミッタ領域を適宜寸法決定することにより、又は適宜の数の同一のトランジスタを並列的に接続することによって確立される。

バンドギャップ基準回路100の温度安定性は次式によって与えられる。

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE106}}{\partial T} + \left[\frac{R_{118}}{R_{116}} \ln(n) \right] \frac{\partial V_T}{\partial T} \quad \dots (7)$$

典型的に、 $\partial V_{BE106} / \partial T$ は約 $-2.0 \text{ mV}/^\circ\text{C}$ であり、且つ $\partial V_T / \partial T$ は約 $+0.085 \text{ mV}/^\circ\text{C}$ である。 n 及び比 R_{118} / R_{116} の値は、 $\partial V_{REF} / \partial T$ をゼロとさせるように選択され、それによりゼロの温度係数が達成される。

第3図に示したバンドギャップ基準回路100の詳細な概略図は第2図の概略図と同様であるが、電流ミラー110及び増幅器120を詳細に示した点が異なっている。電流ミラー110は、従来のカスコード構成のCMOS電流ミラーである。寄生NPNトランジスタ106が、基準PMOSトランジスタ130及び132を介して増分的な電流を流す場合、トランジスタ130、134及び132、136のソース・ドレイン電圧は等しく増加される。従って、トランジスタ134及び136は、ほぼ同じ増分の電流をノード1

37へ発生させる。

電流ミラー110におけるオフセットを減少させるために、電流ミラー110は、可及的に対称的であるように構成されており、且つトランジスタ130、132、134、136は大面積トランジスタとして構成されている。VCC変動に対する感度を最小とするために、トランジスタ130及び134は完全な飽和領域で動作される。

増幅器120は従来の二段ソースホロウ増幅器である。第一段PMOSTランジスタ138のゲートは、トランジスタ108のコレクタへ接続されており、且つそのドレインは接地へ接続されている。第二段の従来の寄生縦型NPNトランジスタ140のベースはトランジスタ138のソースへ接続されており、且つそのエミッタにおいて低出力インピーダンスを与え、それから V_{REF} がとられる。トランジスタ140のコレクタはチップの基板内にあり、該基板はVCCへ接続されている。MOSTランジスタ139は、VCCとトランジスタ138のソースとの間に接続されてお

り、電流経路を与えている。トランジスタ139のゲートは、電流ミラー110のトランジスタ130及び134のゲート回路へ接続されており、電流ミラー110はトランジスタ139の動作を深い飽和状態に維持する。

横方向トランジスタ106及び108の適切な動作のために、VCCが基板へ印加され、それは関連する縦型トランジスタのコレクタ126及び128を形成しており、且つ夫々のゲート122及び124はそれらのスレッショールド電圧以下にバイアスされる。後者は、例えば、ゲート122及び124を接地104へ図示した如くに接続することにより、又は夫々、トランジスタ106及び108のエミッタへ接続することによって達成される。

トランジスタ106及び108として使用するのに適したトランジスタ200を第4図に示してある。トランジスタ200は、PウエルCMOSプロセスで実現されるが、その他のCMOSプロセスを使用することも可能である。Pウエル20

4がN-基板202内に設けられている。横方向寄生NPNトランジスタが、エミッタとして機能する円形状のN+拡散領域206と、その周りのベースとして機能するP-ウエル204のリング状P-領域210と、その周りのコレクタとして機能するリング状N+拡散領域212とを有する同心状のレイアウトから得られる。P+拡散領域208を介してベース210への接続が形成されている。ポリシリコンゲート216が、ベース210の上に設けられており、且つゲート酸化膜218によってそれから絶縁されている。縦型寄生NPNトランジスタが、エミッタ206とベースとしての基板202の間のPウエル204の領域214を使用して、エミッタ206と基板202から得られている。領域214への接続は、P+領域208を介して形成されており、且つ基板202への接続はN+ドープ領域220を介して形成されている。寄生トランジスタ200がトランジスタ106又は108として使用される場合、縦型トランジスタよりも横方向トランジスタの方

2 3

VCC=5.0V及び $V_{ref}=1.235V$ の場合の、バンドギャップ基準回路100に対する典型的な値は以下の如くである。トランジスタ106は、8個の個別的なトランジスタとしてレイアウトされている($n=8$)。トランジスタ108は、個別的なトランジスタとしてレイアウトされている。トランジスタ108及び結合してトランジスタ106を形成する個別的トランジスタは実質的に同一である。トランジスタ140は、良好な駆動能力を与えるような態様で実現される。これは、複数個の個別的なトランジスタを並列的に結合させるか、又は駆動能力をブーストするために大きなエミッタ面積を有するトランジスタをレイアウトすることによって行われる。抵抗116及び118は、夫々、 1000Ω 及び 7500Ω のP+抵抗である。従って、 R_{118}/R_{116} の比は7.5である。電流ミラー110におけるオフセットは、該電流ミラーを可及的に対称的であるように構成することによって最小とされている。更に、各トランジスタ130、132、1

2 5

がより重要であるので、ベース210の(即ち、ゲート216)の長さが最小とされており、且つエミッタ206の周辺対表面の比が最大とされている。公知の任意の適宜の態様で、種々の領域206、208、212、216、220へコンタクトが形成されている。

トランジスタ200は以下の如くに動作される。横方向トランジスタのコレクタ212が基板へ接続されておらず、一方縦型トランジスタのコレクタ220が基板へ接続されていることに注意すべきである。この横方向トランジスタは、領域210内に蓄積層を形成するためにそのスレッシホールド電圧よりもかなり下にゲート216をバイアスさせることによって動作状態とされ、その際に領域206と212との間のMOSTランジスタの動作を防止している。ベース208と、エミッタ206と、コレクタ212は、上述した如く、適宜にバイアスされる。基板(即ちコレクタ220)がVCCに接続されているので、関連する縦型トランジスタは活性状態となる。

2 4

34、136は大きな面積で構成されている。バンドギャップ基準回路100はトリミングを必要とするものではない。なぜならば、基準発生回路経路内にはオフセット項が存在しないからである。

以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、本発明は、使用したトランジスタ200の特定のタイプによって制限されるべきものではなく、又何れかの特定の抵抗値及びバイアス電圧値に制限されるべきものではない。

4. 図面の簡単な説明

第1図は、従来のバンドギャップ基準回路の概略図、第2図は本発明の一実施例に基づいて構成されたバンドギャップ基準回路の一般化した概略図、第3図は第2図のバンドギャップ基準回路の詳細な概略図、第4図は第2図のバンドギャップ

2 6

基準回路において使用される寄生NPNトランジスタの一部の断面を示した概略斜視図、である。

(符号の説明)

- 100 : 基準電圧回路
- 110 : 電流ミラー
- 120 : 増幅器

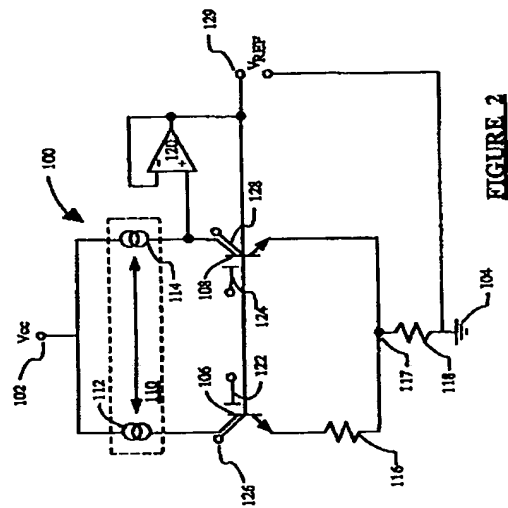
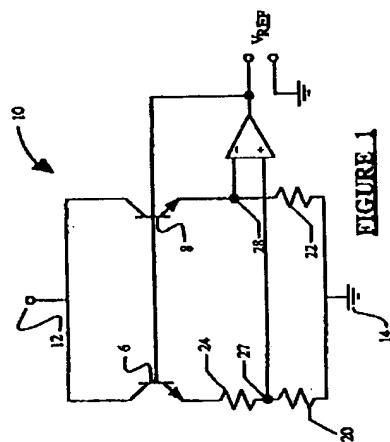
特許出願人 サムソン セミコンダク
タ、 インコーポレイテッ
ド

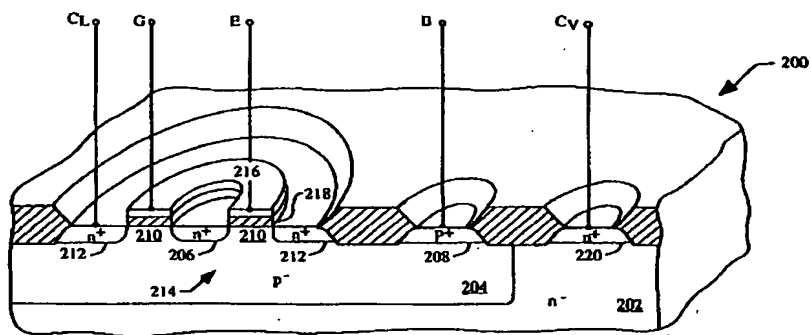
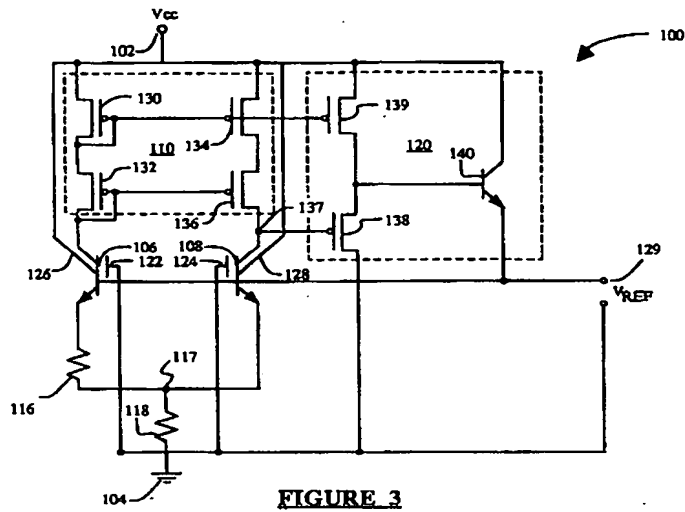
代 理 人 小 橋 一 男

同 小 橋 正 明



27





BEST AVAILABLE COPY